

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。 #2

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

2 0 0 0 年 4 月 2 6 日

出 願 番 号
Application Number:

特 願 2 0 0 0 - 1 2 5 4 5 3

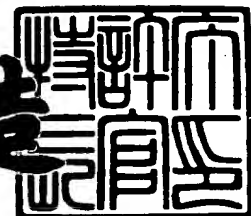
出 願 人
Applicant (s):

日本電気アイシーマイコンシステム株式会社

2 0 0 1 年 2 月 9 日

特 許 庁 長 官
Commissioner,
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 1 - 3 0 0 6 5 3 2

【書類名】 特許願
【整理番号】 01211059
【あて先】 特許庁長官殿
【国際特許分類】 H04L 12/40
H04L 12/56
H04L 29/00
H04L 29/14

【発明者】
【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3
日本電気アイシーマイコンシステム株
式会社内
【氏名】 松尾 周治

【発明者】
【住所又は居所】 神奈川県川崎市中原区小杉町一丁目 4 0 3 番 5 3
日本電気アイシーマイコンシステム株
式会社内
【氏名】 田中 聖

【特許出願人】
【識別番号】 000232036
【氏名又は名称】 日本電気アイシーマイコンシステム株式会社

【代理人】
【識別番号】 100082935
【弁理士】
【氏名又は名称】 京本 直樹
【電話番号】 03-3454-1111

【選任した代理人】
【識別番号】 100082924
【弁理士】
【氏名又は名称】 福田 修一

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【手数料の表示】

【予納台帳番号】 021566

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9114180

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 通信制御回路

【特許請求の範囲】

【請求項 1】 外部の L I N K レイヤとのデータ信号のやり取りを行なう L I N K インターフェースブロックと、

前記データ信号の再同期化を行なうローカルクロック生成回路と、

前記 L I N K レイヤからの要求信号を受けるバス調停ブロックと、

前記データ信号の送信を行う送信ブロックと、

前記送信ブロックの出力をパラレル・シリアル変換するパラレル・シリアル変換回路と、

前記パラレル・シリアル変換回路の出力を受け、バスへその信号を送信し、前記バスからの信号または前記パラレル・シリアル変換回路の出力する信号を受信信号として受け、前記バスの使用権利を獲得するため、前記バス調停ブロックから指示されたアービトレーションコードに対応するアービトレーション信号を出力するケーブル駆動ブロックと、

前記ケーブル駆動ブロックの受信信号を受ける受信クロック再生回路と、

前記ケーブル駆動ブロックの受信信号を受け、前記受信信号をシリアル・パラレル変換するシリアル・パラレル変換回路と、

前記受信クロック再生回路の出力および前記バス調停ブロックの出力および前記シリアル・パラレル変換回路の出力を受ける受信ブロックと、

前記アービトレーション信号を受けて、前記アービトレーション信号を切り換えて前記バス調停ブロックを制御する自己診断テストブロックとを備え、

前記受信ブロックの出力と前記自己診断テストブロックのテストデータとを比較して、その送信動作および受信動作をテストすることを特徴とする通信制御回路。

【請求項 2】 前記 L I N K インターフェースブロックと、前記送信ブロックと、前記受信ブロックと、前記自己診断テストブロックとを前記ローカルクロック生成回路で同期化を行ない、前記パラレル・シリアル変換回路と、前記シリアル・パラレル変換回路と、前記ケーブル駆動ブロックと、前記受信クロック再

生回路とを前記ローカルクロック生成回路のクロックより速いクロックで同期化する請求項 1 記載の通信制御回路。

【請求項 3】 前記ローカルクロック生成回路のクロックは、50MHz である請求項 2 記載の通信制御回路。

【請求項 4】 前記速いクロックは、400MHz である請求項 2 または 3 記載の通信制御回路。

【請求項 5】 前記送信ブロックは、前記 LINK インターフェースブロックの出力と前記受信ブロックの出力を選択するセクタ回路と、Data-Strobe 符号化回路と、前記 Data-Strobe 符号化回路と前記セレクト回路と前記ケーブル駆動ブロックを制御する送信制御回路とを具備し、前記データ信号は、前記 Data-Strobe 符号化回路に供給され、前記データ信号からストローブデータ信号の作成と同時にバスの使用権利を獲得するため、前記バス調停ブロックから指示されたアービトレーションコードに対応する信号を前記送信制御回路で判断し、両データ信号の始めと終わりに、アービトレーション信号を付加する処理をする請求項 1, 2, 3 または 4 記載の通信制御回路。

【請求項 6】 前記ケーブル駆動ブロックは、前記パラレル・シリアル変換回路の出力を受け、前記バスへその信号を送信する第 1 のドライバと第 2 のドライバと、前記第 1 の出力を受ける第 1 のレシーバと第 1 のアービトレーションコンパレータと、前記第 2 の出力を受ける第 2 のレシーバと第 2 のアービトレーションコンパレータとを具備する請求項 1, 2, 3 または 4 記載の通信制御回路。

【請求項 7】 前記受信ブロックは、前記バス調停ブロックから送られた命令を受け、前記シリアル・パラレル変換回路でシリアルデータからパラレルデータに変換されたデータ信号を受信するかしないかを制御する受信制御回路と、受信命令であれば、前記受信クロック再生回路 128 から出力されたクロックで、前記シリアル・パラレル変換回路から出力されたデータ信号を書き込む FIFO とを具備する請求項 1, 2, 3, 4, 5 または 6 記載の通信制御回路。

【請求項 8】 前記自己診断テストブロックは、送信命令とテスト用データ生成を行い、得られたデータ信号を前記 LINK インターフェース回路に供給するテストデータ生成回路と、前記テストデータ生成回路の出力を受け、ストロー

ブデータ信号に変換するData-Strobe符号化回路と、前記ストローブデータ信号を期待値データ信号とし、前記FIFOのデータ出力と前記期待値データ信号を比較し、信号の値が一致しているか否かを判定し、その結果を、フラグ信号で知らせる比較回路と、テスト動作以外の通常動作とテスト動作の制御を行なうテスト制御回路と、テスト時に前記第1のアービトレーションコンパレータのアービトレーション信号と前記第2のアービトレーションコンパレータのアービトレーション信号を互い違いに入れ換え、前記バス調停ブロックに供給するアービトレーション信号線切り換え回路とを具備する請求項1, 2, 3, 4, 5, 6または7記載の通信制御回路。

【請求項9】 前記アービトレーション信号線切り換え回路は、2-1セレクタを具備し、前記テスト制御回路からの制御信号で、前記2-1セレクタの出力を選択する請求項8記載の通信制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、通信制御回路に関し、特に、IEEE (Institute of Electrical and Electronic Engineers) 1394の規格に準拠したPhysical layer Driver回路(PHY回路)を含む通信制御回路に関する。

【0002】

【従来の技術】

近年、コンピュータ・インターフェースとして、パーソナル・コンピュータ周辺機器用バス規格が種々開発されており、こうしたパーソナル・コンピュータ周辺機器用バス規格としては、例えば、IEEE (Institute of Electrical and Electronic Engineers) 1394の規格に準拠したバスまたはUSB (Universal Serial Bus:ユニバーサル・シリアル・バス) がある。

【0003】

IEEE 1394の規定およびPHY回路の機能を簡単に説明すると、IEEE

E 1 3 9 4 規格では、コネクタの物理的な規格、電気的な規格、最も基本的な信号のやり取りに関して定義している。

【 0 0 0 4 】

I E E E 1 3 9 4 シリアルバスのレイヤ構造は、トランザクションレイヤ、リンクレイヤ（以下、L I N K と称す）および物理レイヤ（以下、P H Y と称す）の3つのレイヤからなり、P H Y の役割は、L I N K が使用する論理的な記号を電気信号に変換することである。

【 0 0 0 5 】

また、電気的なインターフェイスだけでなく、ケーブルやコネクタなどの機械的なインターフェイスも規定されている。P H Y の主な機能として、パケットの送受信、アービトレーション（調停）および電氣的物理的インターフェイスの3つが挙げられる。

【 0 0 0 6 】

パケット送信中の I E E E 1 3 9 4 シリアルバス上では、1つのP H Y 回路のみがデータ送信を実行している。

【 0 0 0 7 】

この半2重の通信モードは、データ信号（D a t a）とストロブ信号（S t r o b e）の2対の差動信号を使用して行われ、ストロブ信号は、データ信号の奇数ビットを反転させ生成する。この方式をD a t a - S t r o b e 符号化方式という。

【 0 0 0 8 】

この方式によれば、データラインに同じ信号が続き、データラインのレベルが一定となった場合でもストロブ信号が変化することにより、データが連続していることを表す。また、D a t a - S t r o b e 符号化方式の場合のクロックは、データとストロブラインを排他論理和処理することにより得られる。

【 0 0 0 9 】

アービトレーションとは、各ポートがシリアルバスを使用する権利を割り振るための方法であり、I E E E 1 3 9 4 シリアルバスが採用するアービトレーション方法では、アービトレーション期間後には、ひとつのポートだけがデータを送

っていることを保証する。

【 0 0 1 0 】

PHY回路は、パケット送受信で用いるポート（接続端子）を複数個持つことができる。ケーブル環境下では、各PHY回路のポート同士を1対1のケーブルで接続する。

【 0 0 1 1 】

ポートとケーブルは、トライステートの低電圧電流モードの差動アンプで駆動される。信号は、トライステート、つまり、「0」と「1」、「Z」の3つ状態になる。そして、「Z」は駆動していないか、アイドル状態になっているかを意味する。

【 0 0 1 2 】

通常 of データ転送中は、1度にひとつのポートが2組の信号線を個別に「0」または「1」に駆動する。ケーブルは2組のツイストペアの信号線を有し、電源を供給する1組の電源線を有する6芯、または電源線を有さない4芯がある。図4に、IEEE 1394に準拠したケーブルの断面図を示す。

【 0 0 1 3 】

この図4は、6芯のケーブルを示したもので、この6芯のケーブルは、ツイストペア信号Tp aとツイストペア信号Tp bと電源VGがそれぞれ2本ずつ有している。

【 0 0 1 4 】

図5に、ケーブル駆動のPHY回路のポートブロックを示す。

【 0 0 1 5 】

ケーブル駆動ブロック500は、ドライバ(Driver 502)、レシーバ(Receiver 503)、アービトレーションコンパレータ(504、505)などで構成され、ケーブル駆動ブロック520は、ドライバ(Driver 522)、レシーバ(Receiver 523)、アービトレーションコンパレータ(524、525)などで構成される。

【 0 0 1 6 】

図5に示した様に、前述したツイストペアA(Tp a)とツイストペアB(T

p b) の 2 組のツインペア信号と電源線 V G がインターフェースとなる。

【 0 0 1 7 】

I E E E 1 3 9 4 通信の 1 つである非同期転送の場合、送信 P H Y は、L I N K の転送要求 (R e q u e s t) により、パケットデータ信号の最初に送信開始を示す送信データプリフィックス (T x _ d a t a _ p r e f i x) というアービトレーション・コードを示す信号と、パケットデータ信号の最後に送信完了を示す送信データエンド (T x _ d a t a _ e n d) というアービトレーション・コードを示す信号を付加する。

【 0 0 1 8 】

ケーブルで接続された受信 P H Y 回路では、転送されてきたパケットデータの最初にあるアービトレーション・コードを示す信号を受け、受信開始を示す受信データプリフィックス (R x _ d a t a _ p r e f i x) の信号と判断し、受信回路活性化して、データを受信する。

【 0 0 1 9 】

また、転送されてきたパケットデータの最後にあるアービトレーション・コードを示す信号を受け、受信完了を示す受信データエンド (R x _ d a t a _ e n d) と判断し、受信回路を非活性化して、パケットデータの受信を終了する。

【 0 0 2 0 】

図 6 は、送信時に流れるパケットデータ信号を示したタイミングチャートである。図 7 は、受信時に流れるパケットデータ信号を示したタイミングチャートである。また、図 9 は、送信アービトレーションコードを示したもので、図 1 0 は、受信アービトレーションコードを示したものである。

この図 6 に示す様に、送信するパケットデータに付加された信号が、ストロブ信号 S t r b _ T x (A r b _ a) で「0」、データ信号 D a t a _ T x (A r b _ b) で「1」である場合、ラインの状態は、T x _ D a t a _ P r e f i x となる (図 9 参照)。

【 0 0 2 1 】

また、送信するパケットデータに付加された信号が、ストロブ信号 S t r b _ T x (A r b _ a) で「1」、データ信号 D a t a _ T x (A r b _ b) で「

0」であるので、図9に示す様に、Tx_Data_endとなる。

【0022】

受信側では、パケットデータに付加された信号が、Arb_aで「0」、Arb_bで「1」の場合、図10に示す様に、ラインの状態は、Rx_Data_endとなる。また、パケットデータに付加された信号がArb_aで「1」、Arb_bで「0」の場合、図10に示す様に、ラインの状態はRx_Data_Prefixとなる。

【0023】

次に、一般的なPHY回路を図面を参照して説明する。図11は、一般的なPHY回路を示したブロック図である。

【0024】

図11を参照すると、PHY回路1100は、ケーブル駆動ブロック1129と、送信ブロック1115と、受信ブロック1120と、バス調停ブロック1119と、LINKインターフェースブロック1111と、ローカルクロック生成回路1105と、P/S回路(1123、1124)と、S/P回路1125と、クロック再生回路1128とから構成される。

【0025】

バス調停ブロック1119は、LINKインターフェースブロック1111からのアービトレーションの要求に対する対応と各ポートの管理と制御、およびバスのリセットとコンフィグレーションを行う。

【0026】

受信ブロック1120は、バスから送信されたデータを取り込み、データを同期させる。

【0027】

送信ブロック1115は、LINKインターフェースブロック1111からのデータと他PHY回路からのリピータデータとの切り換えを行う。さらにデータ信号を元にしてストロブ信号も生成する。

【0028】

LINKインターフェースブロック1111は、LINK回路(図示せず)と

PHY回路 1 1 0 0 間のパケットデータとアービトレーションのやり取りを行う。ケーブル駆動ブロック 1 1 2 9 は、ドライバー回路 (1 1 3 0、1 1 3 4) と、レシーバー回路 (1 1 3 1、1 1 3 5) と、アービトレーションコンパレータ (1 1 3 2、1 1 3 6) 等の低電圧電流回路で構成される。

【0 0 2 9】

アービトレーションコンパレータ (1 1 3 2、1 1 3 6) (以下、A r b _ C o m p と略記する) は、送信、受信されるパケットデータの最初と最後に付加されたアービトレーション信号を検出し、そして比較する。

【0 0 3 0】

その比較結果として、A r b _ C o m p (1 1 3 2、1 1 3 6) は、バス調停ブロック 1 1 1 9 を制御するアービトレーション制御信号 (A r b _ a、A r b _ b) を出力する。

【0 0 3 1】

ドライバ回路 (1 1 3 0、1 1 3 4) は、パケットデータの送信、レシーバー回路 (1 1 3 1、1 1 3 5) は、パケットデータの受信を行う。

【0 0 3 2】

再度、図 1 1 を参照して、PHY回路 1 1 0 0 の転送動作を説明する。

【0 0 3 3】

L I N K 回路 (図示せず) から送られてきた転送命令は、PHY回路の L I N K インターフェースブロック 1 1 1 1 で受け、バス調停ブロック 1 1 1 9 に送り、PHY回路はデータを送信するアービトレーションコード (T x _ D a t a _ p r e f i x) を起こし、バス使用権利が獲得できれば、L I N K 回路から入力されたパケットデータ信号 1 1 0 1 を送信ブロック内の D a t a - S t r o b e 符号化回路 1 1 1 7 に取り込み、ストロブ信号を生成する。

【0 0 3 4】

この D a t a - S t r o b e 符号化回路 1 1 1 7 は、データ信号の奇数ビットを反転させて、ストロブ信号を生成する (D a t a - S t r o b e 符号化方式)。

【0 0 3 5】

図12にData-Strobe符号化回路と図13にData-Strobe符号化タイミングチャートを示す。

【0036】

生成されたストロブ信号Strb_Txは、P/S回路1123でパラレルデータからシリアルデータに変換され、ツイストペアA(Tpa)から出力される。またデータ信号Data_Txも、P/S回路1124でパラレルからシリアルに変換されて、ツイストペアB(Tpb)から出力される。

【0037】

一方、ケーブルで接続されたもう片方のPHY回路は、ケーブルによってツイストペアA(Tpa)が送信側のツイストペアB(Tpb)に、ツイストペアB(Tpb)は送信側のツイストペアA(Tpa)と接続されているので、送信されたTx_Data_prefixが、データを受信するアービトレーション(Rx_Data_prefix)に変わり、ツイストペアA(Tpa)から入力されたデータData_Rxが受信ブロック1120のS/P回路1125に入力され、クロック再生回路1128でデータ信号Data_Rxとストロブ信号Strb_Rxを排他論理和後、分周処理されて生成した再生クロックによってFIFO回路1122に取り込み、読み出しによりデータが再同期化され、送信ブロック1115に送られる。

【0038】

もし、PHYが複数個のポートを持っていれば、他の接続されるPHYにバスを介してデータをリピートする。この様に、データはパケットリーレーの様に転送される。

【0039】

また、送信するPHYのツイストペアA(Tba)のドライバ1130、及びツイストペアB(Tpb)のドライバ1134から送信されたパケットデータは、レシーバ(1131、1135)を介して内部に帰還されるが、Arb_Comp1132の出力信号であるアービトレーション制御信号Arb_a、Arb_Comp1132の出力信号であるアービトレーション制御信号Arb_bは、Data_endを示し、バス調停ブロック1119を制御し、FIFO11

22を非活性状態にするので、パケットデータ送信時にパケットデータが帰還することを防ぐ。すなわち、ひとつのポートで送信と受信を同時にすることはできない。

【0040】

図14にアービトレーション制御信号とバス調停回路の出力信号の関係を示す。一般に、通信制御回路は、通常のパケット通信を行う通常モードの他に、その通信制御回路が正常に動作するか否かをテストするために、テストモードで動作する。

【0041】

図15は、特開平11-4240号公報に開示されているLINK回路とPHY回路が別々の半導体集積回路装置で構成された第1の従来技術のテスト方法の一例である。

【0042】

この第1の従来技術のテスト方法では、LINK回路とPHY回路の2つを1組としたものを2組用意し、それぞれ送信動作と受信動作を行う。

【0043】

図15を参照して従来のテスト方法を説明する。外部コントローラ1500、LINK回路(1501、1502)とPHY回路(1503、1504)とIEEE1394ケーブル1505から構成される。

【0044】

外部コントローラ1500は、LINK回路(1501、1502)とPHY回路(1503、1504)が正常に動作するか否かを確認するためのテストデータを備える。

【0045】

外部コントローラ1500は、一方のLINK回路にこのテストデータを送信し、もう一方のLINK回路からテストデータを受信して、送信したテストデータと受信したテストデータを比較して、LINK回路及びPHY回路が正常に動作しているかどうかを確認する。

【0046】

具体的には、外部コントローラ 1 5 0 0 からのテストデータを L I N K 回路 1 5 0 1 に送信し、そのテストデータを P H Y 回路 1 5 0 3 に送信する。テストデータを受信した P H Y 回路 1 5 0 3 は、I E E E 1 3 9 4 ケーブル 1 5 0 5 にテストデータを送信する。

【 0 0 4 7 】

I E E E 1 3 9 4 ケーブル 1 5 0 5 を介して P H Y 回路 1 5 0 4 がテストデータを受信し、L I N K 回路 1 5 0 2 に送信する。

【 0 0 4 8 】

テストデータを受信した L I N K 回路 1 5 0 2 は、外部コントローラ 1 5 0 0 にそのテストデータを送信する。

【 0 0 4 9 】

前述した様に、L I N K 回路、P H Y 回路をテストするためには、L I N K 回路、及び、P H Y 回路に送受信する信号を L S I 外部でコントロールする装置が必要となり、それによりテストが複雑化するわけである。

【 0 0 5 0 】

テストの容易化の要請に応えるために、例えば、特開平 1 1 - 4 2 4 0 号公報に開示されている様に、テストデータをコントロールする外部コントローラをテスト回路として L S I 内に設けることが提案されている。

【 0 0 5 1 】

図 1 6 は、テスト回路を有する第 2 の従来技術を示したものである。L I N K 回路 1 6 0 1、1 6 0 2 と P H Y 回路 1 6 0 3、1 6 0 4 とケーブル 1 6 0 5 から構成されており、L I N K 回路の外部で信号の送受信をコントロールしていた外部コントローラをテスト回路 1 6 0 0 として、L I N K 回路に収めたものである。

【 0 0 5 2 】

動作は、一方の L I N K 回路内のテスト回路からテストデータを送信し、P H Y 回路、ケーブル、P H Y 回路、L I N K 回路と伝播したテストデータをもう一方の L I N K 回路 L S I 内のテスト回路で比較するものである。

【 0 0 5 3 】

また、前述した第1の従来技術のテスト方法の様に、回路が正常に動作するかどうかの確認をするテスト時は、実際に使用した場合と同じ様に I E E E 1 3 9 4 に準拠したケーブルを使用する。

【0054】

【発明が解決しようとする課題】

しかしながら、このケーブルを使用することにより、L S I テスタ上ではテストが困難だという問題が生じ、L S I テスタ上で動作テストしたいということが要求されきた。

【0055】

この要請を応えるために、例えば、特開平10-170606号公報に開示されている様に、L S I 内部にケーブルの代用となる配線とスイッチを設けるといことが提案されている。

【0056】

図17は、内部にスイッチと配線を有する従来技術を示したものである。

【0057】

D R V A 1 と D R V A 2 の出力部分と端子の間に、ケーブルの代わりの配線と接続ON/OFFができるようにスイッチを設けることにより、L S I テスタ上でのテストが可能になるが、配線、およびスイッチを設けているため、この配線とスイッチが容量となり、実動作の高速動作に支障をきたすという問題がある。実動作と同等の高速動作のテストをL S I テスタで行うためには、高速動作が可能なL S I テスタを用いれば可能であるが、高速で動作するL S I テスタは高価である。

【0058】

本発明の主な目的は、P H Y 回路を含む通信制御回路の動作テストを低速なL S I テスタ上で、容易に、実動作と同等の高速動作で行える通信制御回路を提供することにある。

【0059】

【課題を解決するための手段】

本発明の通信制御回路は、外部のL I N K レイヤとのデータ信号のやり取りを

行なう L I N K インターフェースブロックと、前記データ信号の再同期化を行なうローカルクロック生成回路と、前記 L I N K レイヤからの要求信号を受けるバス調停ブロックと、前記データ信号の送信を行う送信ブロックと、前記送信ブロックの出力をパラレル・シリアル変換するパラレル・シリアル変換回路と、前記パラレル・シリアル変換回路の出力を受け、バスへその信号を送信し、前記バスからの信号または前記パラレル・シリアル変換回路の出力する信号を受信信号として受け、前記バスの使用権利を獲得するため、前記バス調停ブロックから指示されたアービトレーションコードに対応するアービトレーション信号を出力するケーブル駆動ブロックと、前記ケーブル駆動ブロックの受信信号を受ける受信クロック再生回路と、前記ケーブル駆動ブロックの受信信号を受け、前記受信信号をシリアル・パラレル変換するシリアル・パラレル変換回路と、前記受信クロック再生回路の出力および前記バス調停ブロックの出力および前記シリアル・パラレル変換回路の出力を受ける受信ブロックと、前記アービトレーション信号を受けて、前記アービトレーション信号を切り換えて前記バス調停ブロックを制御する自己診断テストブロックとを備え、前記受信ブロックの出力と前記自己診断テストブロックのテストデータとを比較して、その送信動作および受信動作をテストする構成である。

【 0 0 6 0 】

また、本発明の通信制御回路は、前記 L I N K インターフェースブロックと、前記送信ブロックと、前記受信ブロックと、前記自己診断テストブロックとを前記ローカルクロック生成回路で同期化を行ない、前記パラレル・シリアル変換回路と、前記シリアル・パラレル変換回路と、前記ケーブル駆動ブロックと、前記受信クロック再生回路とを前記ローカルクロック生成回路のクロックより速いクロックで同期化する構成とすることもできる。

【 0 0 6 1 】

さらに、本発明の通信制御回路の前記ローカルクロック生成回路のクロックは、5 0 M H z であり、前記速いクロックは、4 0 0 M H z である構成とすることもできる。

【 0 0 6 . 2 】

またさらに、本発明の通信制御回路の前記送信ブロックは、前記L I N Kインターフェースブロックの出力と前記受信ブロックの出力を選択するセクタ回路と、D a t a - S t r o b e符号化回路と、前記D a t a - S t r o b e符号化回路と前記セレクト回路と前記ケーブル駆動ブロックを制御する送信制御回路とを具備し、前記データ信号は、前記D a t a - S t r o b e符号化回路に供給され、前記データ信号からストローブデータ信号の作成と同時にバスの使用権利を獲得するため、前記バス調停ブロックから指示されたアービトレーションコードに対応する信号を前記送信制御回路で判断し、両データ信号の始めと終わりに、アービトレーション信号を付加する処理をする構成とすることもできる。

【 0 0 6 3 】

また、本発明の通信制御回路の前記ケーブル駆動ブロックは、前記パラレル・シリアル変換回路の出力を受け、前記バスへその信号を送信する第1のドライバと第2のドライバと、前記第1の出力を受ける第1のレシーバと第1のアービトレーションコンパレータと、前記第2の出力を受ける第2のレシーバと第2のアービトレーションコンパレータとを具備する構成とすることもできる。

【 0 0 6 4 】

また、本発明の通信制御回路の前記受信ブロックは、前記バス調停ブロックから送られた命令を受け、前記シリアル・パラレル変換回路でシリアルデータからパラレルデータに変換されたデータ信号を受信するかしないかを制御する受信制御回路と、受信命令であれば、前記受信クロック再生回路128から出力されたクロックで、前記シリアル・パラレル変換回路から出力されたデータ信号を書き込むF I F Oとを具備する構成とすることもできる。

【 0 0 6 5 】

また、本発明の通信制御回路の前記自己診断テストブロックは、送信命令とテスト用データ生成を行い、得られたデータ信号を前記L I N Kインターフェース回路に供給するテストデータ生成回路と、前記テストデータ生成回路の出力を受け、ストローブデータ信号に変換するD a t a - S t r o b e符号化回路と、前記ストローブデータ信号を期待値データ信号とし、前記F I F Oのデータ出力と前記期待値データ信号を比較し、信号の値が一致しているか否かを判定し、その

結果を、フラグ信号で知らせる比較回路と、テスト動作以外の通常動作とテスト動作の制御を行なうテスト制御回路と、テスト時に前記第1のアービトレーションコンパレータのアービトレーション信号と前記第2のアービトレーションコンパレータのアービトレーション信号を互い違いに入れ換え、前記バス調停ブロックに供給するアービトレーション信号線切り換え回路とを具備する構成とすることもできる。

【 0 0 6 6 】

さらに、本発明の通信制御回路の前記アービトレーション信号線切り換え回路は、2-1セレクタを具備し、前記テスト制御回路からの制御信号で、前記2-1セレクタの出力を選択する構成である。

【 0 0 6 7 】

【発明の実施の形態】

次に、本発明の第1の実施の形態について図面を参照して説明する。本発明の第1の実施の形態の通信制御回路を図1に示す。

【 0 0 6 8 】

図1を参照すると、本発明の第1の実施の形態の通信制御回路100は、LINKインターフェースブロック111と、ケーブル駆動ブロック129と、送信ブロック115と、受信ブロック120と、バス調停ブロック119と、自己診断テストブロック141との6ブロックとローカルクロック生成回路105と、P/S回路(123、124)と、S/P回路125と、受信クロック再生回路128とを備える。

【 0 0 6 9 】

本発明の第1の実施の形態の通信制御回路100は、その動作速度で大きく2つのブロックに分けられる。すなわち、LINKインターフェースブロック111、バス調停ブロック119、送信ブロック115、受信ブロック120、ローカルクロック生成回路105および自己診断テストブロック141のそれぞれは50MHzで動作し、ケーブル駆動ブロック129、P/S回路(123、124)、S/P回路125、受信クロック再生回路128のそれぞれが400MHzで動作する。

【0070】

L I N K インターフェースブロック 1 1 1 は、外部の L I N K レイヤ（図示せず）とのデータ信号 1 0 1 のやり取りを行なうブロックで、L I N K レイヤからのデータ信号 1 0 1 をローカルクロック生成回路 1 0 5 のクロックでデータの再同期化を行ない、送信ブロック 1 1 5 に供給する。L I N K レイヤからの要求信号 1 0 2 は、バス調停ブロック 1 1 9 に供給される。

【0071】

ローカルクロック生成回路 1 0 5 は、5 0 M H z 同期化回路のすべてのデータ信号の同期化を行なうためのクロックを出力するクロックソース源である。

【0072】

送信ブロック 1 1 5 は、データ信号の送信を行なうブロックで、セクタ回路 S E L 1 1 6 と、D a t a - S t r o b e 符号化回路 1 1 7 と、送信制御回路 1 1 8 とで構成さる。

【0073】

送信制御回路 1 1 8 は、バス調停ブロック 1 1 9 から送られた送信命令（T r a n s m i t 動作か R e p e a t 動作か）を受け、S E L 回路 1 1 6 に供給された L I N K インターフェースブロック 1 1 1 で再同期化されたデータか、バスから受信したデータかの選択を制御する。

【0074】

選択されたデータ信号は、D a t a - S t r o b e 符号化回路 1 1 7 に供給され、データ信号からストローブデータ信号の作成（D S - L i n k ビットレベルエンコーディング）と同時にバスの使用権利を獲得するため、バス調停ブロック 1 1 9 から指示されたアービトラションコードに対応する信号を送信制御回路 1 1 8 で判断し、両データ信号の始めと終わりに、アービトラション信号（T x _ d a t a _ p r e f i x と T x _ d a t a _ e n d ）を付加する処理が行われる。その出力は、P / S 回路（1 2 3、1 2 4）に供給され、パラレルデータからシリアルデータへの変換が行なわれ、ケーブル駆動ブロック 1 2 9 に供給される。

【0075】

ケーブル駆動ブロック 1 2 9 は、トライステートの差動入出力低電圧電流回路であるドライバ (1 3 0、1 3 4) と、レシーバ (1 3 1、1 3 5) と、アービトレーションコンパレータ (1 3 2、1 3 6) (以下、A r b _ C o m p と称する) とで構成され、他の P H Y とのバスのインターフェースを行なう。

【 0 0 7 6 】

P / S 回路 1 2 4 の出力信号線 D a t a _ T X は、ケーブル駆動ブロック 1 2 9 のツイストペア B (T p b) 側のドライバ 1 3 4 に供給され、バスの使用権利が獲得できていれば、バス (1 3 9、1 4 0) にシリアルデータ信号が出力される。

【 0 0 7 7 】

同様に、P / S 回路 1 2 3 の出力信号線 S t r b _ T X は、ケーブル駆動ブロック 1 2 9 のツイストペア A (T p a) 側のドライバ 1 3 0 に供給され、バス (1 3 7、1 3 8) に出力される。

【 0 0 7 8 】

ケーブル駆動ブロック 1 2 9 のドライバ (1 3 0、1 3 4) の出力は、ケーブル駆動ブロック 1 2 9 内でレシーバ (1 3 1、1 3 5) と、A r b _ C o m p (1 3 2、1 3 6) にも供給され、シリアルデータ信号は内部に帰還される。

【 0 0 7 9 】

ケーブル駆動ブロック 1 2 9 の A r b _ C o m p (1 3 2、1 3 6) は、バス (1 3 7、1 3 8、1 3 9、1 4 0) から入力されたシリアルデータ信号のアービトレーション信号部分を検出し、その出力 (A r b _ a、A r b _ b) は、アービトレーション信号線切り換え回路 1 4 5 を経由してバス調停ブロック 1 1 9 に供給する。

【 0 0 8 0 】

バス調停ブロック 1 1 9 は、ツイストペア B (T p b) 側の A r b _ C o m p 1 3 6 の出力信号線 A r b _ b とツイストペア A (T p a) 側の A r b _ C o m p 1 3 2 の出力信号線 A r b _ a の信号値の組み合わせ状態によって、バスの状態が分かり、送信ブロック 1 1 5 及び受信ブロック 1 2 0 にその状態を知らせ、P H Y の動作を制御する。

【 0 0 8 1 】

ケーブル駆動ブロック 1 2 9 のレシーバ (1 3 1、1 3 5) は、バスから入力されたパケットデータを検出し、その出力線である D a t a _ R x (データ信号) と S t r b _ R X (ストロブ信号) は、受信クロック再生回路 1 2 8 に供給される。さらに、D a t a _ R X (データ信号) は、S / P 回路 1 2 5 にも供給される。

【 0 0 8 2 】

受信クロック再生回路 1 2 8 は、排他論理和回路 1 2 6 と分周器 1 2 7 とで構成され、データ信号 D a t a _ R X と ストロブ信号 S t r b _ R X と の排他論理和でクロックを作成し、S / P 回路 1 2 5 のクロックとして供給する。

【 0 0 8 3 】

また、排他論理和回路 1 2 6 の出力を分周し、その出力は F I F O 1 2 2 のクロックとして供給する。

【 0 0 8 4 】

受信ブロック 1 2 0 は、受信制御回路 1 2 1 と F I F O 1 2 2 とで構成され、受信制御回路 1 2 1 は、バス調停ブロック 1 1 9 から送られた命令を受け、S / P 回路 1 2 5 でシリアルデータからパラレルデータに変換されたデータ信号を受信するかしないかを制御する。

【 0 0 8 5 】

受信命令であれば、受信クロック再生回路 1 2 8 から出力されたクロックで、S / P 回路 1 2 5 から出力されたデータ信号を F I F O 1 2 2 に書き込む。

【 0 0 8 6 】

I E E E 1 3 9 4 は、半 2 重の通信モードのため、1 つの P H Y のみでしかデータ送信を実行できない。従って、通常 P H Y は、送信動作か受信動作かどちらかの動作に限定される。

【 0 0 8 7 】

このデータ処理に対し、本発明の第 1 の実施の形態の自己診断テストブロック 1 4 1 は、テストデータ生成回路 1 4 4 と、比較回路 1 4 3 と、テスト制御回路 1 4 2 と、D a t a - S t r o b e 符号化回路 1 4 6 と、アービトレーション信

号線切り換え回路 1 4 5 とを具備する。

【 0 0 8 8 】

テストデータ生成回路 1 4 4 は、送信命令とテスト用データ生成を行い、得られたデータ信号はセクタ回路 S E L 1 1 0 を経由し、L I N K インターフェース回路 1 1 1 に供給される。

【 0 0 8 9 】

また、このテスト用データ信号は、自己診断テストブロック 1 4 1 内の D a t a - S t r o b e 符号化回路 1 4 6 にも供給され、D a t a - S t r o b e 符号化回路 1 4 6 でストロブデータ信号に変換される。

【 0 0 9 0 】

変換されたストロブデータ信号は、期待値データ信号として比較回路 1 4 3 に供給される。

【 0 0 9 1 】

比較回路 1 4 3 は、F I F O 1 2 2 のデータ出力と期待値データ信号を比較し、信号の値が一致しているか否かを判定し、その結果を、フラグ信号で知らせる。テスト制御回路 1 4 2 は、テスト動作以外の通常動作とテスト動作の制御を行なう。

【 0 0 9 2 】

アービトレーション信号線切り換え回路 1 4 5 は、セクタ回路等で構成され、テスト時にアービトレーション信号線 A r b _ _ a とアービトレーション信号線 A r b _ _ b を互い違いに入れ換え、バス調停ブロック 1 1 9 に供給する。

【 0 0 9 3 】

本発明の第 1 の実施の形態に用いられる S E L、F I F O、P / S 回路、S / P 回路は、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な構成の説明は省略する。

【 0 0 9 4 】

図 2 は、アービトレーション信号線切り換え回路 1 4 5 の具体的な回路を示したものである。アービトレーション信号線切り換え回路 2 0 1 は、2 - 1 セクタ (2 0 4、2 0 5) を具備し、テスト制御回路 1 4 2 からの制御信号で、2 -

1 セレクタ (204、205) の出力 202、203 を選択することによって、
A r b _ C o m p 1 3 2 の出力信号線 A r b _ a と A r b _ C o m p 1 3 6 の出力信号線 A r b _ b を切り換え、バス調停ブロック 119 の入力とする。

【0095】

すなわち、テスト制御回路 142 からの制御信号で出力する信号を入力から選択し、A r b _ C o m p 1 3 2 の出力信号線 A r b _ a と A r b _ C o m p 1 3 6 の出力信号線 A r b _ b を入れ換える。

【0096】

次に、本発明の第 1 の実施の形態の動作について説明する。

【0097】

まず、本発明の第 1 の実施の形態の通常のパケット送信動作について、図 6 を参照して説明する。

【0098】

L I N K レイヤ (図示せず) からの要求を受けた P H Y 1 0 0 は、バスにパケットデータを転送するから、他の P H Y は、送信出来ないという意味の T x _ d a t a _ p r e f i x アービトレーション・コードをバスに送る。

【0099】

バス上に接続されている他の P H Y からアービトレーション要求が出ていなければバスの使用権利が獲得でき、前述した処理を実行し、パケットデータをバスに送信する。

【0100】

この時、ケーブル駆動ブロック 129 内で帰還されたアービトレーション信号は、転送は終了したという意味の R x _ d a t a _ e n d アービトレーション・コードとなるので、バス調停ブロック 119、及び受信ブロック 120 内の受信制御回路 121 で F I F O 1 2 2 を不活性化させ、受信動作が行なわれず、バス上に転送されたパケットデータは受信されない。このため、自 P H Y が送ったパケットは、受信できない。

【0101】

次に、本発明の第 1 の実施の形態のパケット受信の動作を、図 7 に記載のタイ

ミング図を参照して説明する。

【0102】

受信動作は、バスから送られてきたRx_data_prefixアービトレーション・コードをバス調停ブロックで検出し、受信ブロックが活性化され、前述した処理を実行する。この時、受信したポート以外のポートが接続されていれば、受信したパケットデータは、送信ブロックを経由して、その接続されたポートのバスにパケットデータをリピートする。

【0103】

一方、本発明の第1の実施の形態のテスト時の動作は、図8のタイミング図に従って実行される。

【0104】

自己診断テストブロック141で生成されたテストデータ信号は、LINKインターフェースブロック111を経由して、前述した送信動作を実行する。

【0105】

この時、内部に帰還されたツイストペアA (Tp a) 側のアービトレーション信号線Arb__aとツイストペアB (Tp b) 側のアービトレーション信号線Arb__bは、自己診断テストブロック141内のアービトレーション信号線切り換え回路145に供給され、そのアービトレーション信号線切り換え回路145で、ツイストペアA (Tp a) 側のアービトレーション信号線Arb__aとツイストペアB (Tp b) 側のアービトレーション信号線Arb__bを入れ換えてバス調停ブロック119に供給する。

【0106】

この結果、バス調停ブロック119は、Rx_data_prefixアービトレーション・コードと認識し、前述した受信動作が実行される。

【0107】

従って、ケーブル駆動ブロック129のツイストペアA (Tp a) から帰還されたストローブ信号は、通常モードでデータ信号線Data_RXが通る経路を通り、S/P回路125でパラレル変換し、受信クロック再生回路128からのクロック信号でFIFO122に書き込まれる。

【0108】

F I F O 1 2 2 で緩衝され、F I F O 1 2 2 のデータ出力は、比較回路 1 4 3 に供給される。テストデータ生成回路 1 4 4 で生成されたテストデータは、期待値データ生成回路 (D a t a - s t r o b e 符号化回路) 1 4 6 でストローブデータに変換され、期待値データとし、F I F O 1 2 2 の読み出されるタイミングに合わせて比較回路 1 4 3 に供給する。

【0109】

比較回路 1 4 3 で、帰還されたストローブ信号と生成された期待値ストローブデータを比較し、比較結果を出力フラグ信号として出力する。これにより、送信動作、受信動作が正常に行なわれたことが確認できる。

【0110】

次に、本発明の第 2 の実施の形態について説明する。その構成を示す図 3 を参照すると、本発明の第 2 の実施の形態は、本発明の第 1 の実施の形態の構成で、自己診断テストブロック 1 4 1 の D a t a - S t r o b e 符号化回路 1 4 6 の代わりに、送信ブロック 1 1 5 の D a t a - S t r o b e 符号化回路 1 1 7 の出力を受けるメモリ回路 3 4 6 を具備する以外は、本発明の第 1 の実施の形態と同一構成であり、その同じ構成要素には同一の参照符号が付してある。

【0111】

すなわち、自己診断テストブロック 1 4 1 の D a t a - S t r o b e 符号化回路 1 4 6 の代わりに、データ信号を格納できるメモリ回路 3 4 6 を用意し、送信ブロックから出力されるデータ信号をメモリ回路 3 4 6 に供給し、その出力を比較回路 1 4 3 に供給する構成としている。

【0112】

期待値データ信号は、送信するデータ信号のストローブデータ信号と同一であるから、図 3 において、送信ブロック 1 1 5 の D a t a - S t r o b e 符号化回路 1 1 7 で生成されたストローブ信号を、例えば、F I F O 構成のメモリ回路 3 4 6 に格納しておき、比較のタイミングに合わせてデータ信号を取り出せば、前述した本発明の第 1 の実施の形態と同様に処理されるので、その詳細な説明は、省略する。

【0 1 1 3】

本発明の第2の実施の形態も、その正常動作の確認ができることは言うまでもない。

【0 1 1 4】

【発明の効果】

このように、本発明のPHY回路では、前述した様な構成の自己診断テスト回路を有しているので、ケーブルを用いずPHY回路単体でループバックテストすることができる。従って、LSIテストとは別の特別な装置を用いて行うのではなく、LSIテスト上で動作テストが可能となる。

【0 1 1 5】

また、ケーブル駆動回路のドライバ、レシーバにテストのための回路を付加していないので、実動作レベルの動作テストが可能となる。

【0 1 1 6】

よって、動作テストも動作テスト以外のテストと同じLSIテストで行うことができるので、今まで特別な装置を用いてループバックテストを行っていた工数を削減でき、テスト全体の工数を低減することが可能となる。

【0 1 1 7】

削減可能な工数は、テスト装置が配置されている環境で異なるが、人為的な手間を考慮しても1/2程度に低減できる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態の通信制御回路のブロック図である。

【図2】

図1に示す通信制御回路のアービトレーション信号切換え回路のブロック図である。

【図3】

本発明の第2の実施の形態の通信制御回路のブロック図である。

【図4】

IEEE1394のケーブルの断面図である。

【図 5】

ツイストペアーのブロック図である。

【図 6】

通常のパケット送信時のタイムチャートである。

【図 7】

通常のパケット受信時のタイムチャートである。

【図 8】

テスト時のタイムチャートである。

【図 9】

送信時のアービトレーションコードである。

【図 1 0】

受信時のアービトレーションコードである。

【図 1 1】

従来の通信制御回路のブロック図である。

【図 1 2】

符号化回路のブロック図である。

【図 1 3】

符号化方式のタイムチャートである。

【図 1 4】

アービトレーション制御信号とバス調停回路の出力信号である。

【図 1 5】

他の従来の通信制御回路のブロック図である。

【図 1 6】

別の従来の通信制御回路のブロック図である。

【図 1 7】

さらに他の従来の通信制御回路のブロック図である。

【符号の説明】

1 0 0, 3 0 0 通信制御回路

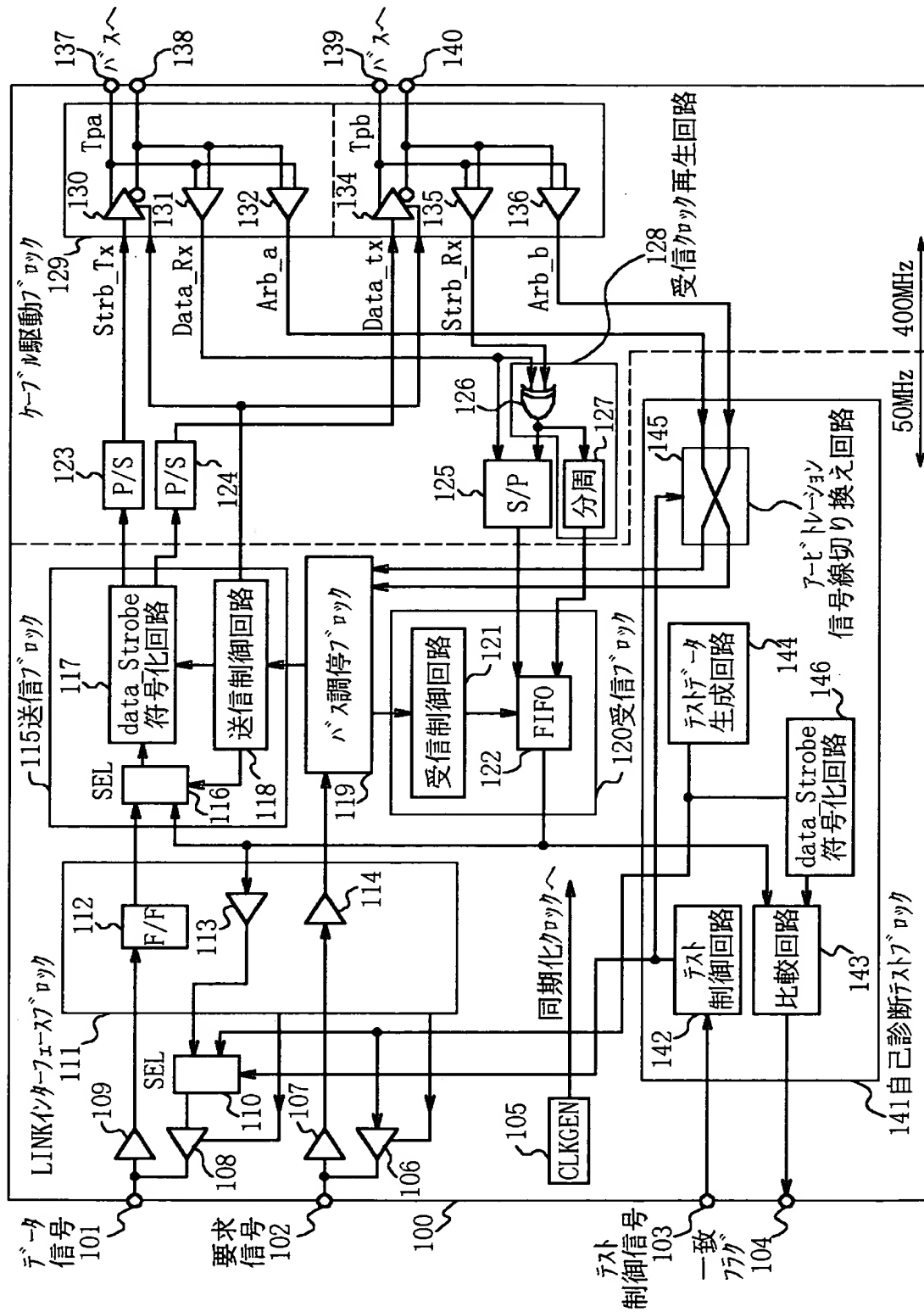
1 0 1 データ信号

| | |
|--|-----------------------------|
| 102 | 要求信号 |
| 103 | テスト信号 |
| 104 | 一致フラグ |
| 105, 1105 | ローカルクロック生成回路 |
| 106, 107, 108, 109, 113, 114 | バッファ |
| 110, 116 | SEL |
| 111, 1111 | LINKインターフェースブロック |
| 112 | FF |
| 115, 1115 | 送信ブロック |
| 117, 146, 1117 | Data-Strobe符号化回路 |
| 118, 1118 | 送信制御回路 |
| 119, 1119 | バス調停ブロック |
| 120, 1120 | 受信ブロック |
| 121, 1121 | 受信制御回路 |
| 122, 1122 | FIFO |
| 123, 124, 1123, 1124 | P/S回路 |
| 125, 1125 | S/P回路 |
| 126, 1126 | 排他的論理和 |
| 127, 1127 | 分周回路 |
| 128, 1128 | クロック再生回路 |
| 129, 1129 | ケーブル駆動ブロック |
| 130, 134, 1130, 1134 | ドライバ |
| 131, 135, 1131, 1135 | レシーバ |
| 132, 136, 1132, 1136 | アービトレーションコンパレータ (Arb__Comp) |
| 137, 138, 139, 140, 1137, 1138, 1139, 1140 | バス |
| 141 | 自己診断テストブロック |
| 142 | テスト制御回路 |

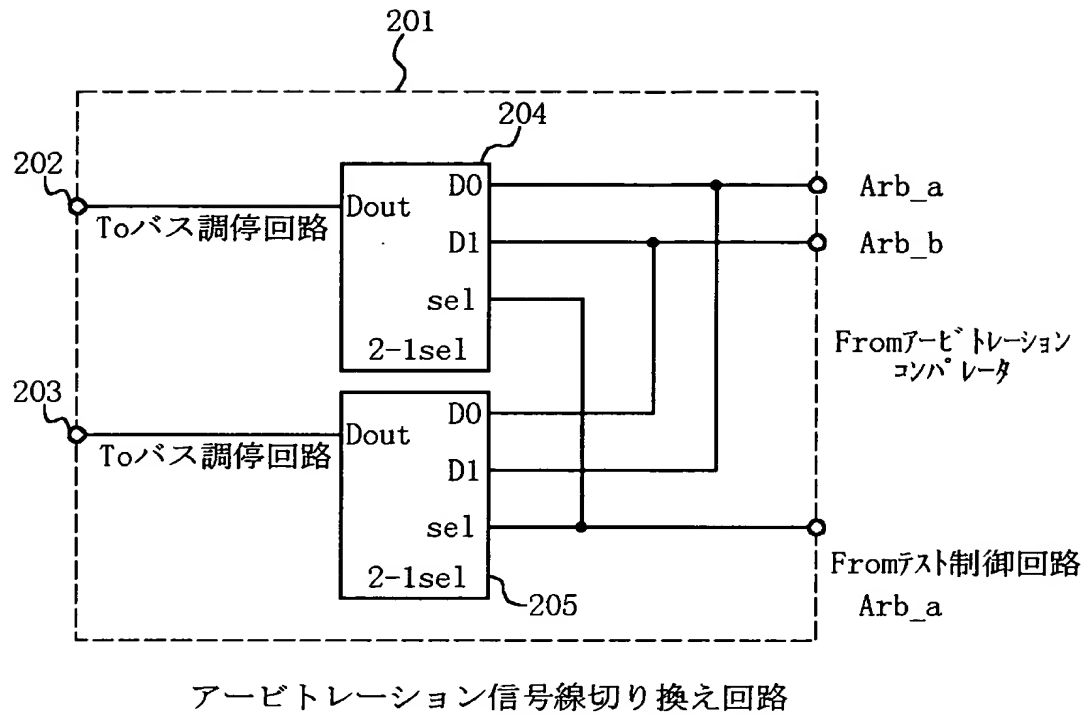
- 1 4 3 比較回路
- 1 4 4 テストデータ生成回路
- 1 4 5 アービトレーション信号線切り換え回路
- 4 0 1 ケーブル
- 4 0 2, 4 0 4 電源 V G
- 4 0 3, 4 0 5 ツイストペア

【書類名】 図面

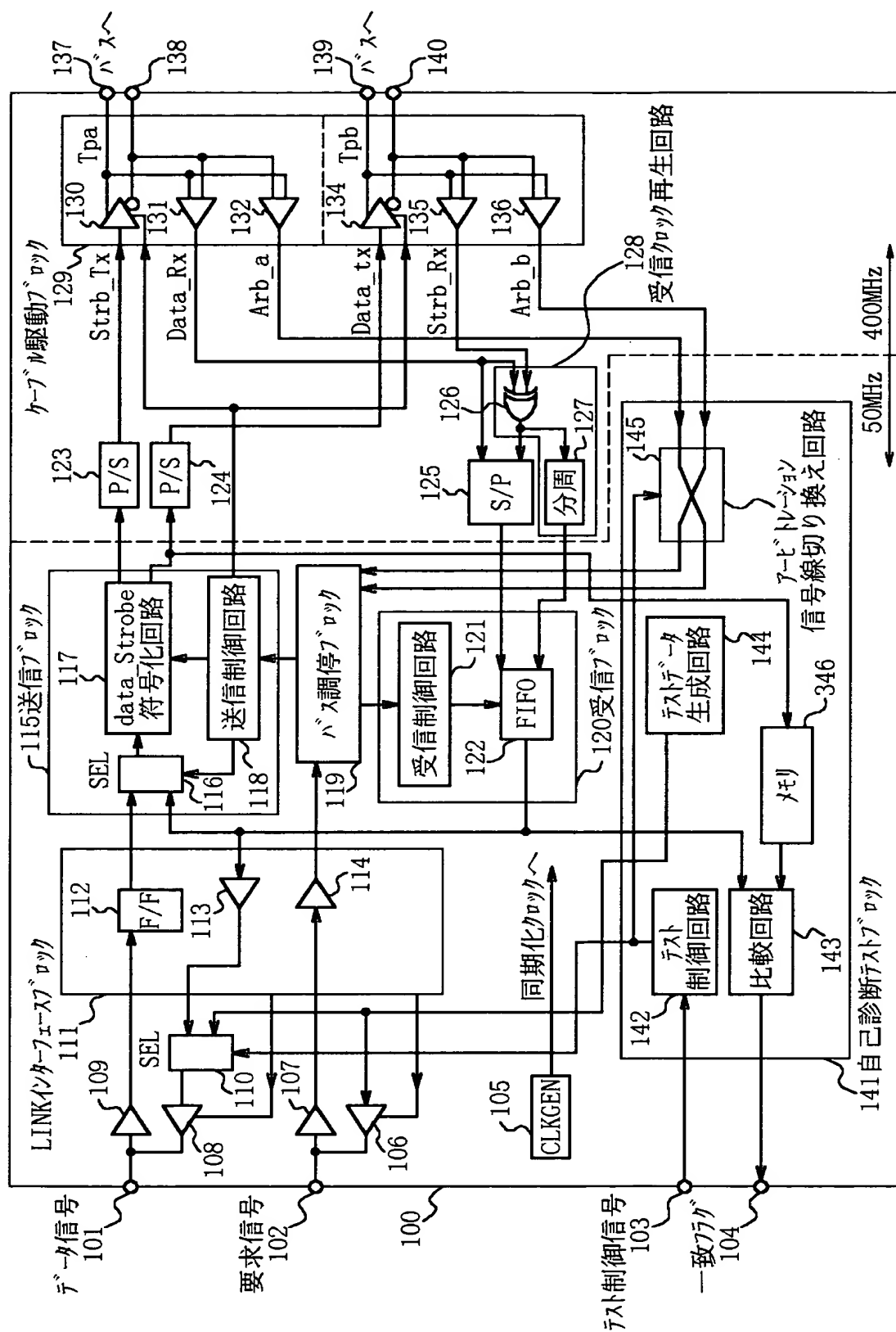
【図 1】



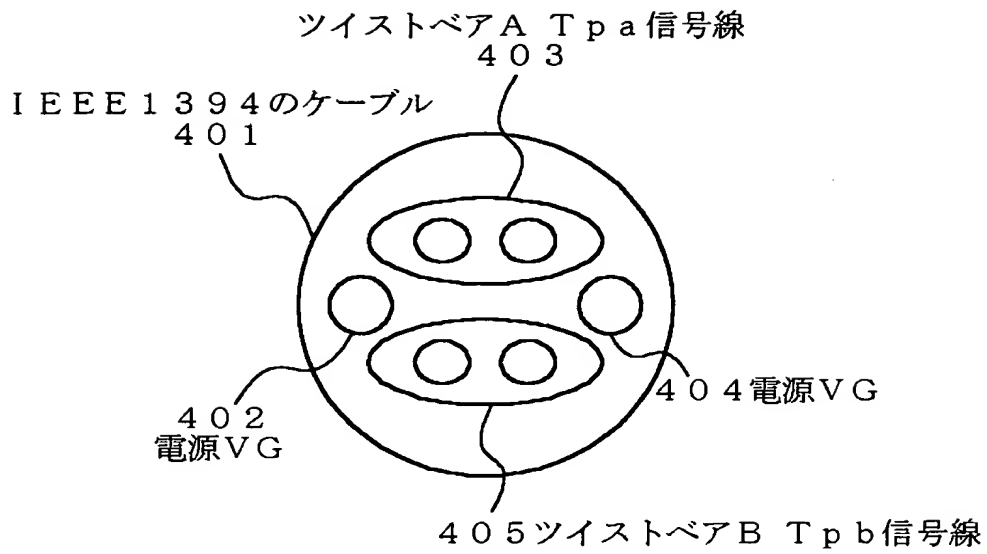
【図 2】



【図 3】

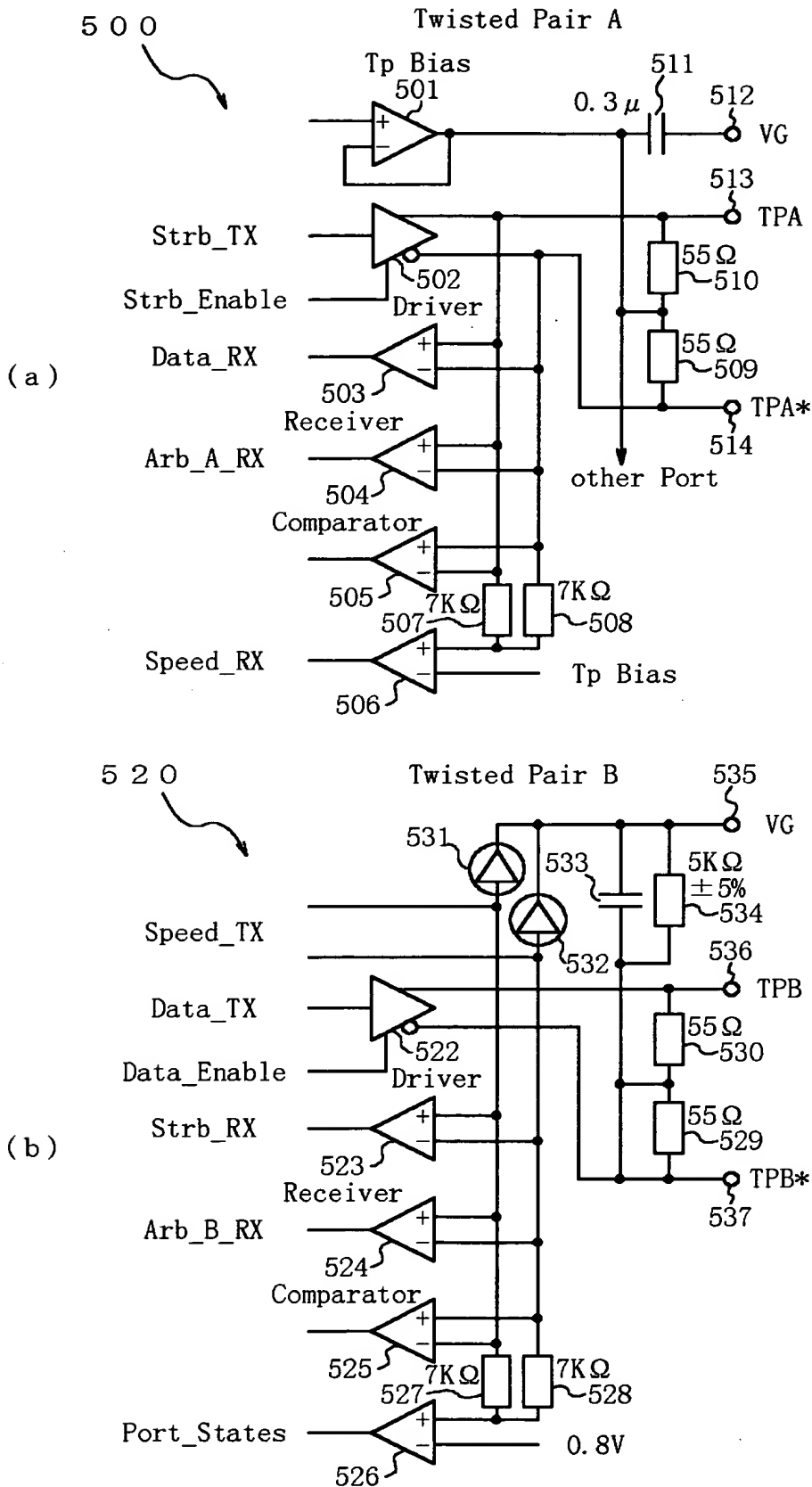


【図 4】

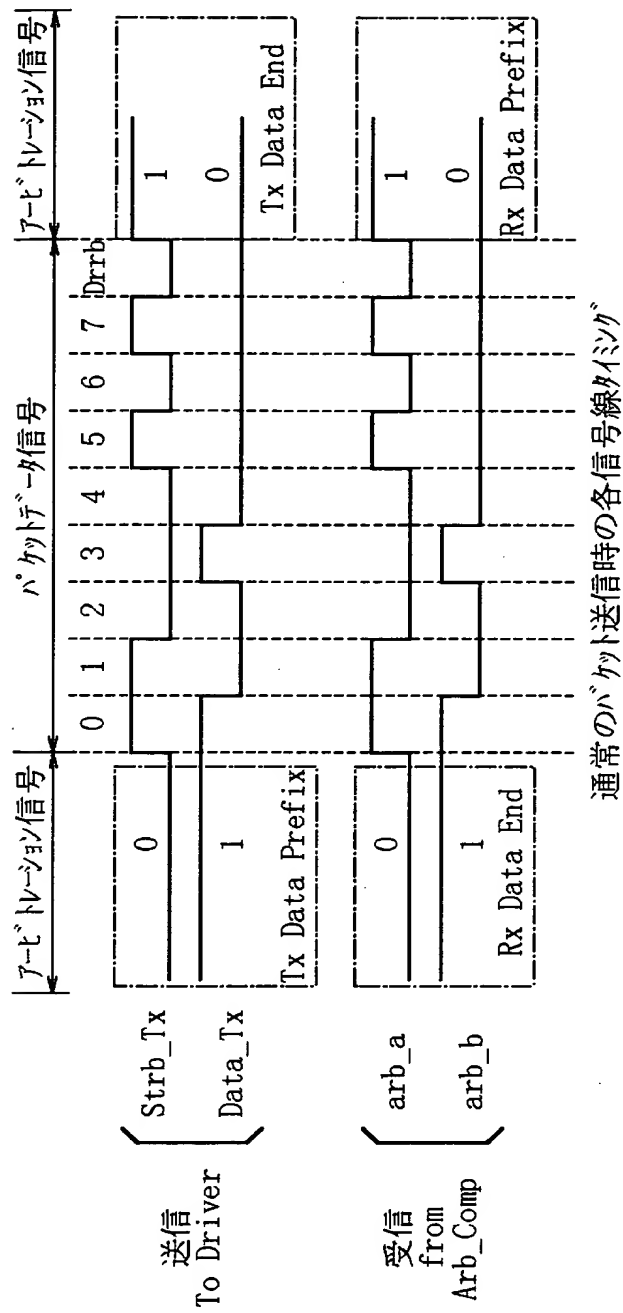


IEEE 1394 のケーブルの断面図

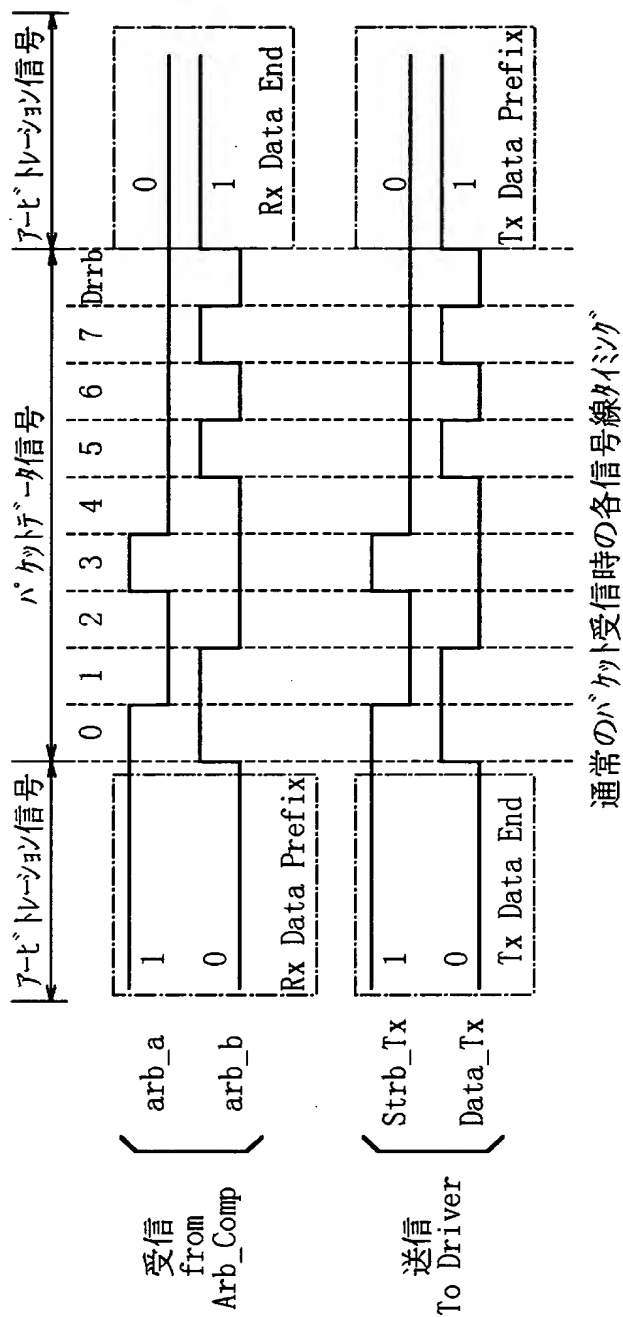
【図 5】



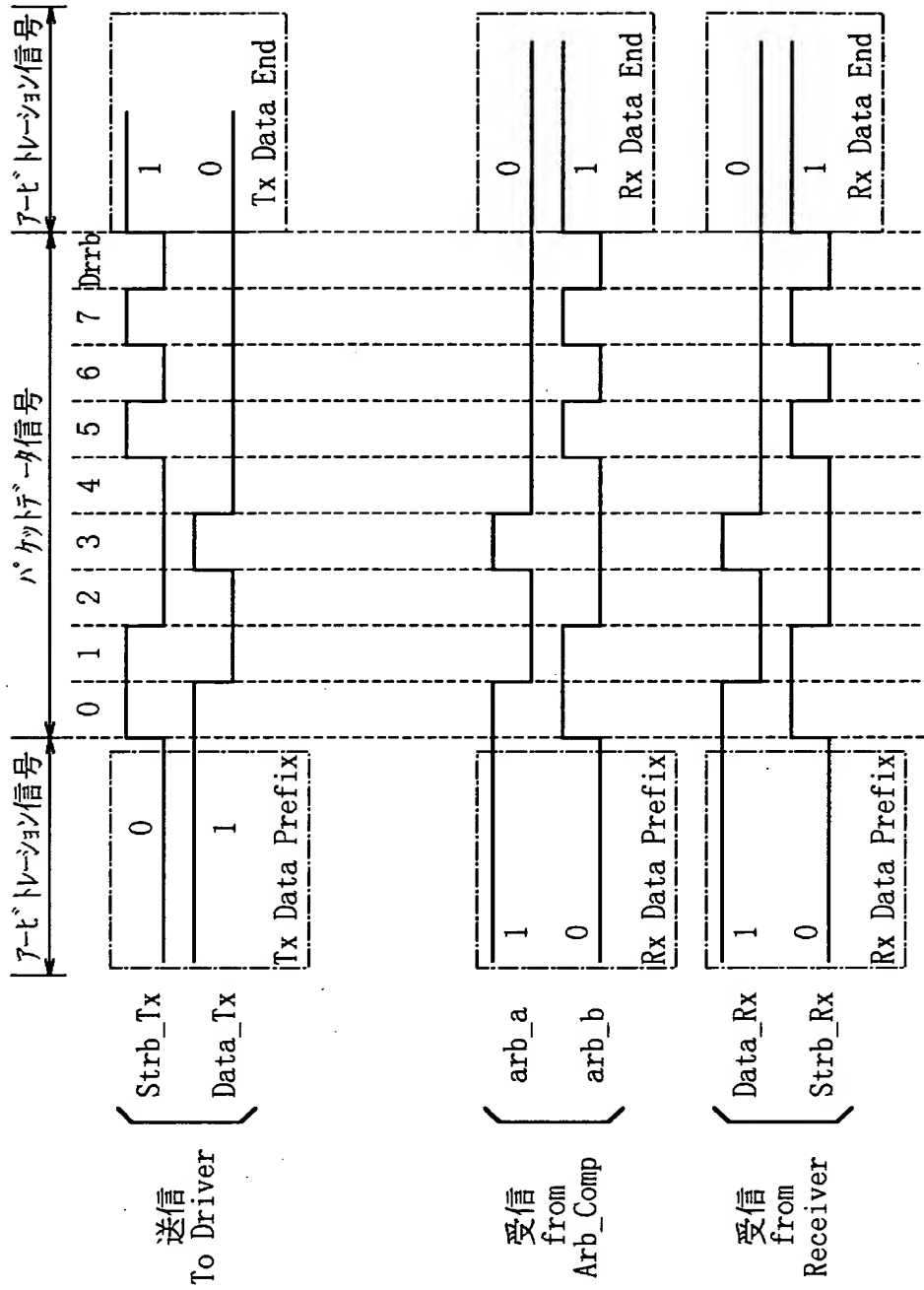
【図 6】



【図 7】



【図 8】



ラスト時のパケット送信と受信の各信号線タイミング

【図9】

| arbitration Transmit | | Line state name |
|----------------------|----------|----------------------------------|
| Arb_A_TX | Arb_B_TX | |
| Z | Z | IDLE |
| Z | 0 | TX_REQUEST TX_GRANT |
| 0 | Z | TX_PARENT_NOTIFY |
| 0 | 1 | TX_DATA_PREFIX |
| 1 | Z | TX_CHILD_NOTIFY TX_IDENT_DONE |
| 1 | 0 | TX_DATA_END |
| 1 | 1 | BUS_RESET |

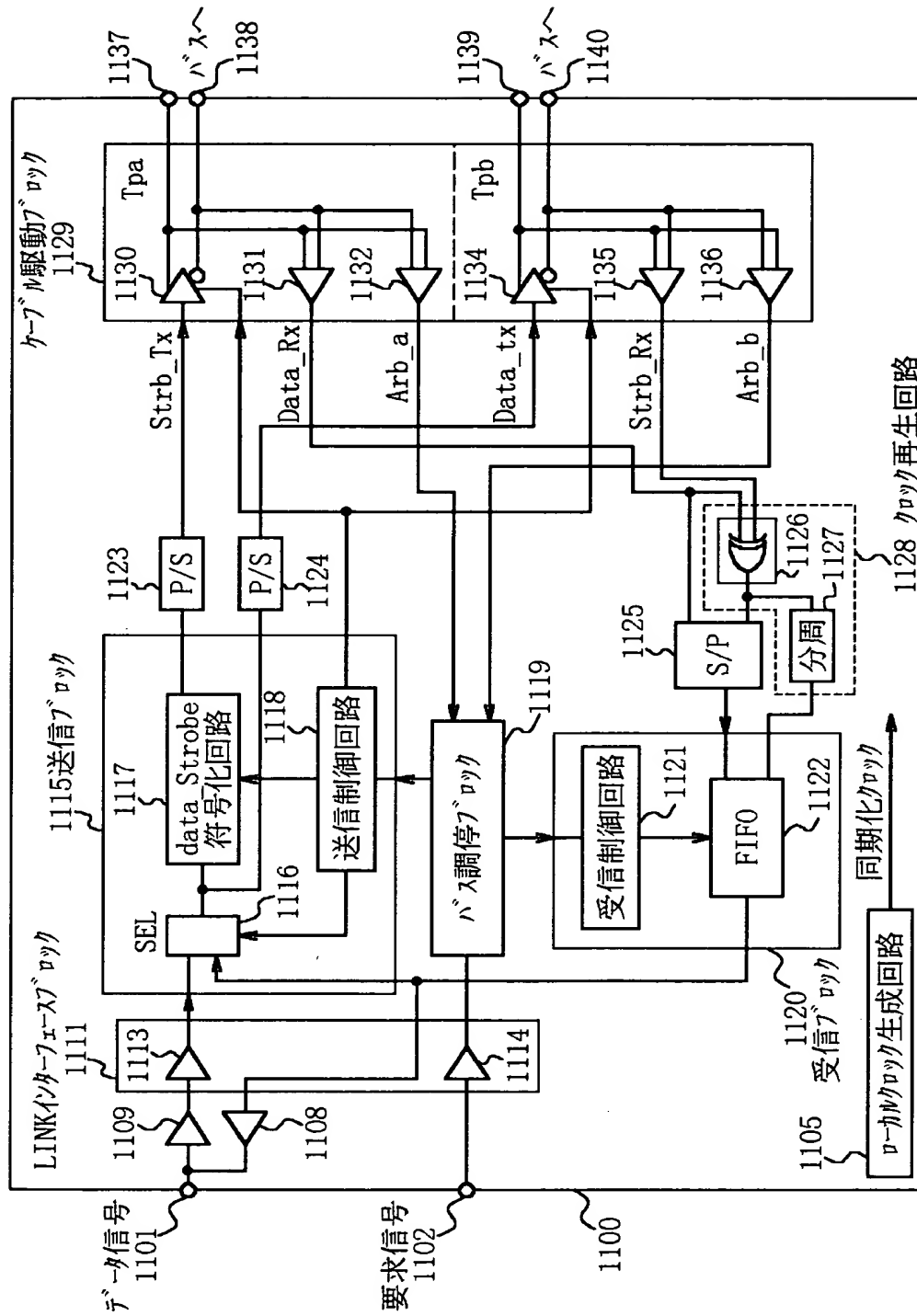
送信アービトレーション・コード

【図10】

| arbitration Receive | | Line state name |
|---------------------|----------|---------------------------------------|
| Arb_A_RX | Arb_B_RX | |
| Z | Z | IDLE |
| Z | 0 | RX_PARENT_NOTIFY RX_REQUEST_CANCEL |
| Z | 1 | RX_IDENT_DONE |
| 0 | Z | RX_SELF_ID_GRANT RX_REQUEST |
| 0 | 0 | RX_ROOT_CONTENTION RX_GRANT |
| 0 | 1 | RX_PARENT_HANDSHAKE RX_DATA_END |
| 1 | Z | RX_CHILD_HANDSHAKE |
| 1 | 0 | RX_DATA_PREFIX |
| 1 | 1 | BUS_RESET |

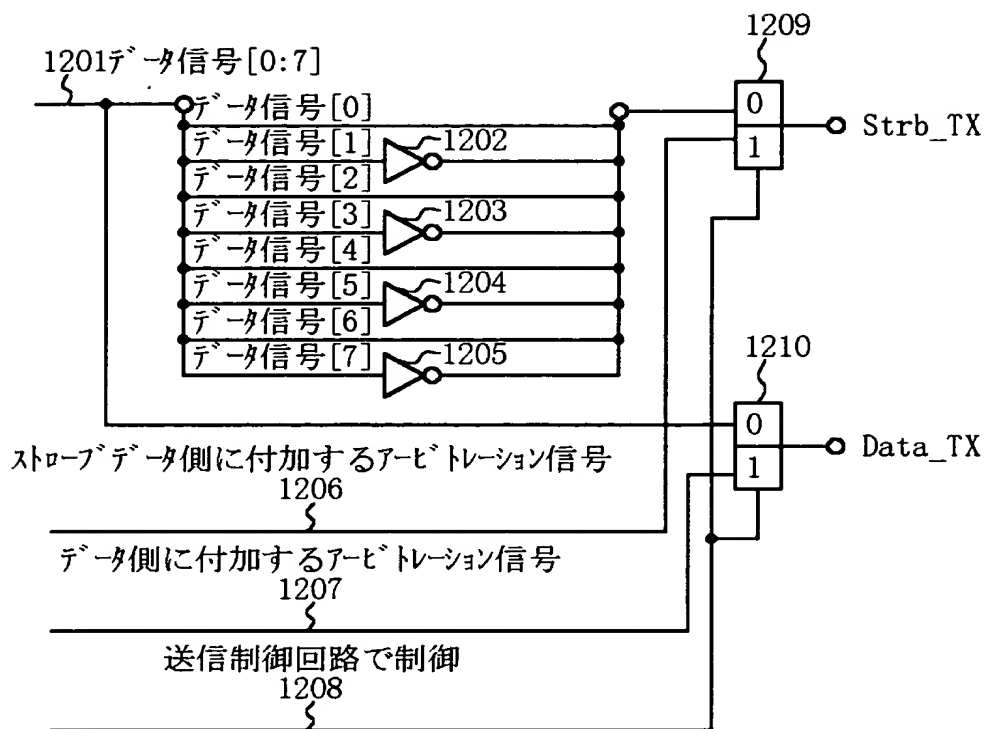
受信アービトレーション・コード

【図 11】



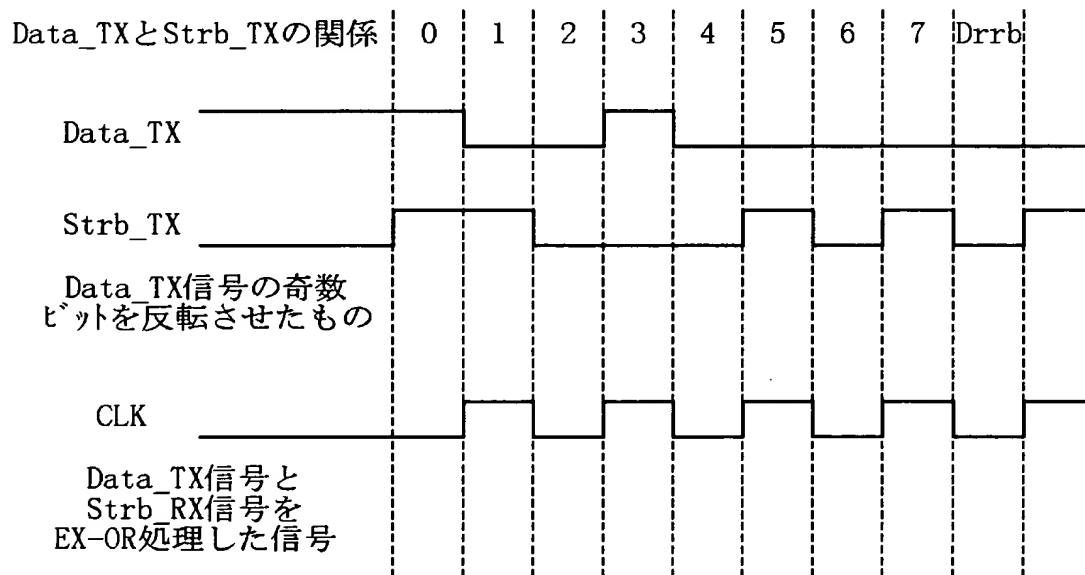
PHY回路を示したブロック図

【図 1 2】



符号化回路

【図 1 3】



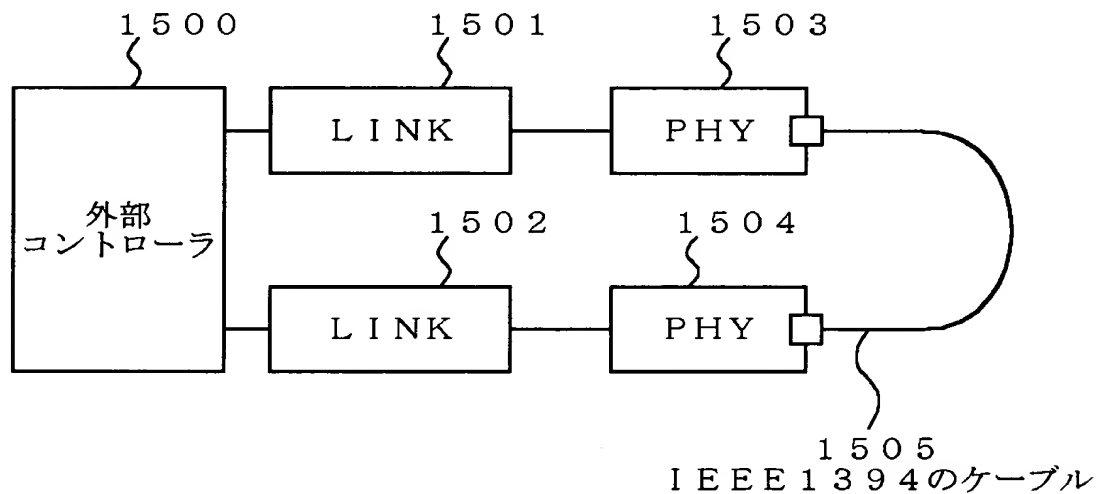
Data-Strobe符号化方式のタイミングチャート

【図 1 4】

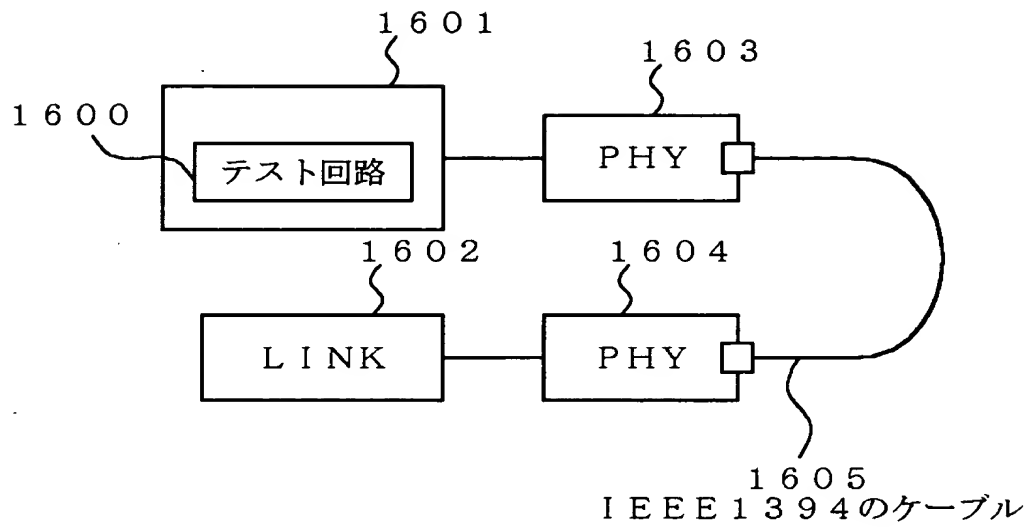
| arbitration Transmit | | FIFOの状態 |
|----------------------|----------|---------|
| Arb_A_TX | Arb_B_TX | |
| Z | Z | 不活性 |
| Z | 0 | 不活性 |
| Z | 1 | 不活性 |
| 0 | Z | 不活性 |
| | | 不活性 |
| 0 | 0 | 不活性 |
| | | 不活性 |
| 0 | 1 | 不活性 |
| 1 | Z | 不活性 |
| 1 | 0 | 活性 |
| 1 | 1 | 不活性 |

アービトレーション制御信号とバス調整回路の出力信号の関係

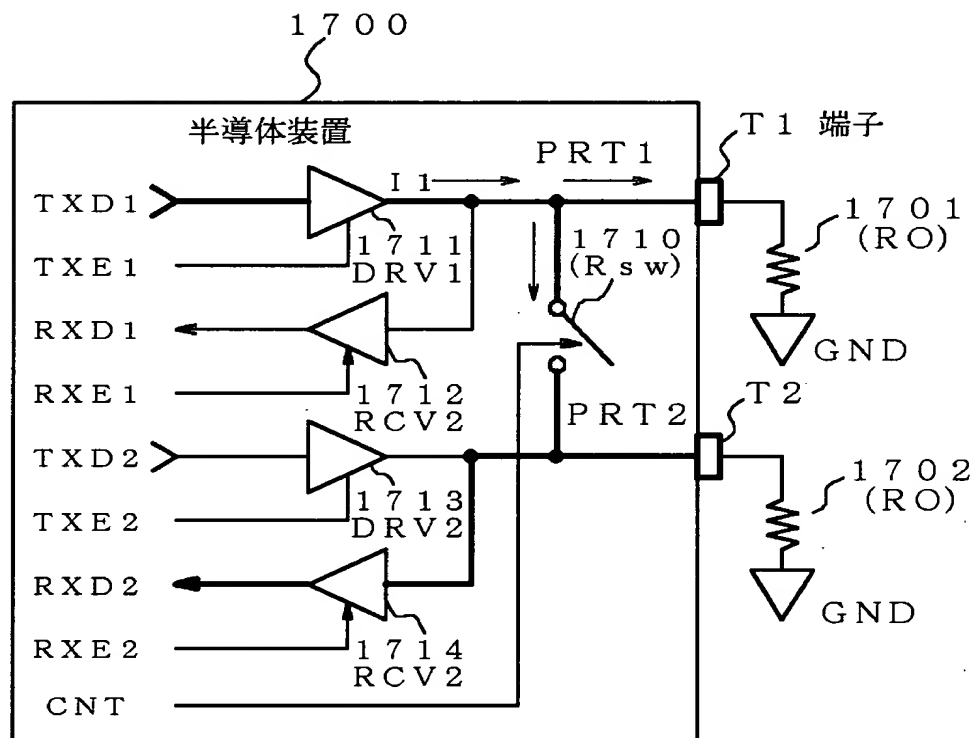
【図 1 5】



【図16】



【図17】



【書類名】 要約書

【要約】

【課題】 P H Y 回路を含む通信制御回路の動作テストを L S I テスタ上で、容易に、実動作と同等の高速動作で行える通信制御回路を提供する。

【解決手段】 自己診断回路を有し、正常動作するかどうかをテストするためのテストデータを生成するテストデータ生成手段と生成されたテストデータから期待値を生成する期待値データ生成手段と出力ドライバとレシーバを介して内部に帰還してきたテストデータと期待値データとを比較をする比較手段とアービトレーション信号線を切り換えるアービトレーション切り換え手段から構成され P H Y 回路を含む通信制御回路。

【選択図】 図 1

認定・付加情報

| | |
|---------|---------------|
| 特許出願の番号 | 特願2000-125453 |
| 受付番号 | 50000527143 |
| 書類名 | 特許願 |
| 担当官 | 第八担当上席 0097 |
| 作成日 | 平成12年 4月27日 |

<認定情報・付加情報>

| | |
|-------|-------------|
| 【提出日】 | 平成12年 4月26日 |
|-------|-------------|

出 願 人 履 歴 情 報

識別番号 [000232036]

1. 変更年月日 1990年 8月13日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区小杉町1丁目403番53

氏 名 日本電気アイシーマイコンシステム株式会社